



[0057] Description will be made for a method of manufacturing the above-described semiconductor device of the present invention. First, as shown in Fig. 2(a), an element isolation insulating film (not shown) is formed on the semiconductor substrate 10 by the LOCOS method, the STI method or the like, and a semiconductor element (not shown) such as a transistor is formed on an active region thereof, then an upper layer of the element is coated, and silicon oxide is deposited by, for example, a plasma CVD method using TEOS as a material, thus forming an underlayer insulating film 20.

[0058] Next, on the underlayer insulating film 20, a silicon oxide film (PSG film) 21a containing phosphorus of 0 to 4.5 weight% and having a film thickness of 100 to 500 nm is formed by, for example, a normal pressure CVD method, a CVD method using O_3 and TEOS as materials, a plasma CVD method using TEOS as a material or the like. Generally, the PSG film 21a is formed by the normal pressure CVD method; however, it can be formed also by the plasma CVD method or a vacuum CVD method. However, it is not preferable that it be formed by a sputtering method from viewpoints of dust occurrence and charge-up damage. It is preferable that a phosphorus content of the PSG film 21a be set at 5 weight% or less in terms of hygroscopicity in the manufacturing process.

[0059] Next, as shown in Fig. 2(b), on the PSG film 21a, for example, a silicon nitride film (SiN_x : H film) is deposited by the plasma CVD method or a catalytic CVD method, a silicon nitride film (Si_3N_4 film) is deposited by the vacuum CVD method, or a silicon oxide nitride film (SiO_xN_{y1} : H film: $x1=0$ to 50 (atom%), $y1=100-x1$ (atom%)) is deposited, so as to have a film thickness of 50 to 150 nm, thus forming a silicon nitride film 21b containing 0.2 to 20 atom% of hydrogen. In the catalytic CVD method, it is possible to form the film at a low temperature of 200 to 300°C without using the plasma,

by utilizing catalyzed degradation of a heating catalyst such as a tungsten line disposed in the vicinity of the substrate and material gas. In the above-described vacuum CVD method, plasma CVD method or sputtering method, the film can be formed under process conditions in typically used ranges. For example, a film-forming temperature when the silicon nitride film (Si_3N_4 film) is formed by the vacuum CVD method is about 700 to 850°C. [0060] Next, on the silicon nitride film 21b, for example, a silicon oxide film (O_3 -TEOS film) 21c that contains a hydroxyl group (moisture) of 0.5 to 10 weight% and has a film thickness of 50 to 150 nm is formed by the CVD method using O_3 and TEOS as materials. In such a manner as described above, formed is a lower coated insulating film 21 as a laminated insulating film of the PSG film 21a, the silicon nitride film 21b and the O_3 -TEOS film 21c.

[0061] Next, as shown in Fig. 2(c), on the lower coated insulating film 21, for example, titanium nitride, titanium oxide nitride or iridium oxide is deposited by the sputtering method or the like, thus forming an electrode coated conductive layer 30a. Next, on the electrode coated conductive layer 30a, for example, a conductive material such as platinum, iridium, aluminum and a laminated body of platinum and ruthenium is deposited by the sputtering method or the like, thus forming an electrode layer 30b. In such a manner as described above, formed is a first electrode 30 as a laminated body of the electrode coated conductive layer 30a and the electrode layer 30b.

[0062] Next, on the first electrode 30, for example, a capacitor insulating film 22 consisting of a high dielectric film made of tantalum oxide, BST, STO or the like is formed by a typically used method. Next, on the capacitor insulating film 22, for example, similarly to the first electrode 30, for

example, a conductive material such as platinum, iridium, aluminum and the laminated body of platinum and ruthenium is deposited by the sputtering method, thus forming an electrode layer 31a. Next, on the electrode layer 31a, for example, titanium nitride, titanium oxide nitride or iridium oxide is deposited by the sputtering method or the like, thus forming an electrode coated film 31b. In such a manner as described above, formed are a second electrode 31 as a laminated body of the electrode layer 31a and the electrode coated film 31b. Here, in the case of forming titanium oxide nitride films ($\text{TiO}_{x2}\text{N}_{y2}$ film: $x2=0.1$ to 20 (atom%); $y2=100-x2$ (atom%)) as the above-described electrode coated conductive layer 30a and 31b, generally, the sputtering method is used. However, it is also possible to use the plasma CVD method or an organic metal CVD method.

[0063] Next, as shown in Fig. 3(d), after a resist film R having a pattern of the capacitor element is formed by a photolithography step, the second electrode 31, the capacitor insulating film 22 and the first electrode 30 are sequentially patterned by an etching process such as reactive ion etching (RIE), thus forming the capacitor element having a structure in which a pair of electrodes are opposed to each other by interposing the capacitor insulating film therebetween.

[0064] Next, as shown in Fig. 3(e), after the resist film is removed by an ashing process and the like, the above-described element is coated, and thus, for example, a silicon oxide film (O_3 -TEOS film) 23a that contains a hydroxyl group (moisture) of 0.5 to 10 weight% and has a film thickness of 100 to 500 nm is formed by the CVD method using O_3 and TEOS as materials. Next, on the O_3 -TEOS film 23a, for example, a silicon nitride film (SiN_x : H film) is deposited by the plasma CVD method or the catalytic CVD method, or a silicon oxide nitride film ($\text{SiO}_{x1}\text{N}_{y1}$: H film: $x1=0$ to 50 (atom%); $y1=100-x1$

(atom%)) is deposited, so as to have a film thickness of 50 to 150 nm, thus forming a silicon nitride film 23b containing 1 to 20 atom% of hydrogen. In the catalytic CVD method, it is possible to form the film at a low temperature of about 200 to 300°C similarly to the above-described silicon nitride film 23b. In the above-described plasma CVD method or sputtering method, the film can be formed under process conditions in typically used ranges. However, in the vacuum CVD method, the film-forming temperature is so high as about 700 to 850°C, and at this film-forming temperature, change in a physical structure of the capacitor insulating film or the electrode and deterioration in film quality are caused, and accompanied with this, deterioration in capacitor characteristic is generated. Therefore, the vacuum CVD method cannot be used.

[0065] Next, as shown in Fig. 4(f), on the silicon nitride film 23b, for example, a silicon oxide film (PSG film) 23c containing phosphorus of 0 to 4.5 weight% is formed by the CVD method using SiH_4 as a material, the normal pressure CVD method, the CVD method using O_3 and TEOS as materials, the plasma CVD method using TEOS as a material, or the like. Generally, the PSG film 23c is formed by the normal pressure CVD method. However, it is also possible to form the PSG film 23c by the plasma CVD method or the vacuum CVD method. However, it is not preferable to form the PSG film 23c by the sputtering method from viewpoints of the dust occurrence and the charge-up damage. Preferably, the phosphorus content in the PSG film 23c is set at 5 weight% or less in terms of the hygroscopicity in the manufacturing process. In such a manner as described above, formed is an upper coated insulating film 23 as a laminated insulating film of the O_3 -TEOS film 23a, the silicon nitride film 23b and the PSG film 23c. Next, on the upper coated insulating film 23, for example, silicon oxide is deposited by the CVD method using O_3

and TEOS as materials or a high-density plasma CVD method such as an ICP type plasma CVD method, an ECR type plasma CVD method, a helicon wave plasma CVD method or the like, thus forming an insulating film 24. Then, as shown in Fig. 4(g), for example, the insulating film 24 is planarized by the CMP process or the like, thus forming a planarized insulating film 24. [0066] Next, silicon oxide is deposited thereon, for example, by the plasma CVD method using TEOS as a material, thus forming an upper insulating film 25. On an uppermost layer as an upper layer of the upper insulating film 25, for example, by the plasma CVD method or the catalytic CVD method, a silicon nitride film (SiN_x : H film) or a silicon oxide nitride film (SiO_xN_y : H film) is deposited, thus forming a passivation film 26. In the above-described manner, the semiconductor device having the capacitor element shown in Fig. 1 can be formed.

[0067] According to the above-described method of manufacturing a semiconductor device, the electrode coated conductive layers 30a and 31b consisting of the titanium nitride film, the titanium oxide nitride film and the like for preventing transmission of hydrogen are formed on the upper surface (upper coated insulating film side) of the second electrode 31 and the lower surface (lower coated insulating film side) of the first electrode 30. Thus, hydrogen contained in a state of Si-H group or an N-H group in the silicon nitride containing film such as a passivation film is prevented from moving to the capacitor insulating film 22, thus making it possible to prevent deterioration of the capacitor element.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2000-269434
(P2000-269434A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.⁷

識別記号

F I

ターム(参考)

H 0 1 L 27/04
21/822
27/108
21/8242

H 0 1 L 27/04
27/10

C 5 F 0 3 8
6 2 1 Z 5 F 0 8 3
6 5 1

審査請求 未請求 請求項の数52 O L (全 18 頁)

(21) 出願番号 特願平11-73583

(22) 出願日 平成11年3月18日 (1999.3.18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 清田 久晴

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5F038 AC05 AC15 DF05 EZ11 EZ14
EZ20

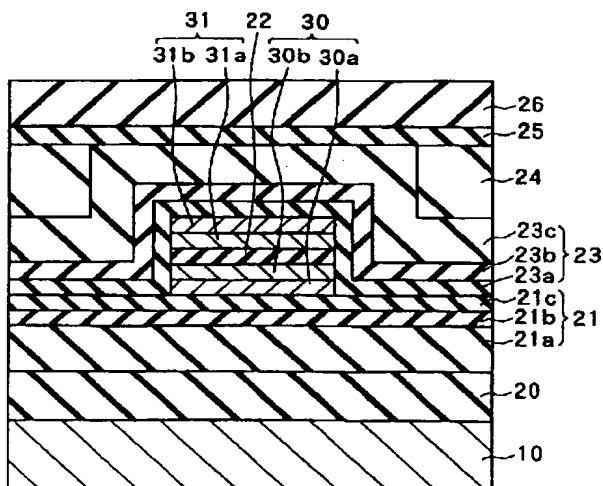
5F083 AD11 JA06 JA14 JA15 JA36
JA38 JA40 JA56 JA60 PR18
PR21 PR22 PR40

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 キャパシタ素子を被覆する絶縁膜中の水や水素などがキャパシタ絶縁膜まで移動するのを抑制して、デバイス特性の安定したキャパシタを提供する。

【解決手段】 基板10に形成された第1電極30と、第1電極30の上層に形成されたキャパシタ絶縁膜22と、キャパシタ絶縁膜22の上層に形成された第2電極31とを有し、少なくとも第2電極31の上面に、好ましくはさらに第1電極30の下面に、水素の透過を防止する膜30a、31bが形成されている構成とする。さらに、キャパシタ素子を水分の透過を防止する絶縁膜21b、23bと、水分を蓄積する絶縁膜21a、23c、さらに還元防止機能を有する絶縁膜21c、23aの積層絶縁膜により被覆する構成とする。



【特許請求の範囲】

【請求項1】基板に形成された第1電極と、前記第1電極の上層に形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜の上層に形成された第2電極とを有するキャパシタ素子を有し、少なくとも前記第2電極の上面に水素の透過を防止する膜が形成されている半導体装置。

【請求項2】前記第2電極の上面の表層部分に水素の透過を防止する導電膜が形成されている請求項1記載の半導体装置。

【請求項3】前記第2電極の上面の表層部分に形成された前記水素の透過を防止する導電膜として、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜が形成されている請求項2記載の半導体装置。

【請求項4】さらに前記第1電極の下面に水素の透過を防止する膜が形成されている請求項1記載の半導体装置。

【請求項5】前記第1電極の下面の表層部分に水素の透過を防止する導電膜が形成されている請求項4記載の半導体装置。

【請求項6】前記第1電極の下面の表層部分に形成された前記水素の透過を防止する導電膜として、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜が形成されている請求項5記載の半導体装置。

【請求項7】前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜を含む被覆絶縁膜が形成されている請求項1記載の半導体装置。

【請求項8】前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜を含む被覆絶縁膜が形成されている請求項7記載の半導体装置。

【請求項9】前記水分の透過を防止する絶縁膜が、少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜である請求項7記載の半導体装置。

【請求項10】前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項7記載の半導体装置。

【請求項11】前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項10記載の半導体装置。

【請求項12】前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜である請

求項10記載の半導体装置。

【請求項13】前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項7記載の半導体装置。

【請求項14】前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項13記載の半導体装置。

【請求項15】前記還元防止機能を有する絶縁膜が、少なくとも酸化シリコン膜を含む絶縁膜である請求項13記載の半導体装置。

【請求項16】前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜と、前記水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項7記載の半導体装置。

【請求項17】前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜と、前記水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項16記載の半導体装置。

【請求項18】前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜である請求項16記載の半導体装置。

【請求項19】前記還元防止機能を有する絶縁膜が、少なくとも酸化シリコン膜を含む絶縁膜である請求項16記載の半導体装置。

【請求項20】基板に形成された第1電極と、前記第1電極の上層に形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜の上層に形成された第2電極とを有するキャパシタ素子を有し、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている半導体装置。

【請求項21】前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反

対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている請求項 20 記載の半導体装置。

【請求項 22】前記水分の透過を防止する絶縁膜が、少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜である請求項 20 記載の半導体装置。

【請求項 23】前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜である請求項 20 記載の半導体装置。

【請求項 24】基板に第 1 電極を形成する工程と、前記第 1 電極の上層にキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の上層に第 2 電極を形成する工程とを有し、前記第 2 電極を形成する工程以降の工程が、少なくとも前記第 2 電極の上面に水素の透過を防止する膜を形成する工程を含む半導体装置の製造方法。

【請求項 25】前記第 2 電極を形成する工程において、前記第 2 電極の上面の表層部分に水素の透過を防止する導電膜を形成する請求項 24 記載の半導体装置の製造方法。

【請求項 26】前記第 2 電極の上面の表層部分に形成された前記水素の透過を防止する導電膜を形成する工程においては、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜を形成する請求項 25 記載の半導体装置の製造方法。

【請求項 27】前記第 1 電極を形成する工程以前の工程が、さらに前記第 1 電極の下面に水素の透過を防止する膜を形成する工程を含む請求項 24 記載の半導体装置の製造方法。

【請求項 28】前記第 1 電極を形成する工程において、前記第 1 電極の下面の表層部分に水素の透過を防止する導電膜を形成する請求項 27 記載の半導体装置の製造方法。

【請求項 29】前記第 1 電極の下面の表層部分に形成された前記水素の透過を防止する導電膜を形成する工程においては、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜を形成する請求項 28 記載の半導体装置の製造方法。

【請求項 30】前記第 2 電極を形成する工程の前、あるいは、前記第 1 電極を形成する工程の後の少なくともいずれかに、水分の透過を防止する絶縁膜を含む被覆絶縁膜を形成する工程をさらに有する請求項 24 記載の半導体装置の製造方法。

【請求項 31】前記第 2 電極を形成する工程の前、および、前記第 1 電極を形成する工程の後の両方に、水分の透過を防止する絶縁膜を含む被覆絶縁膜を形成する工程をさらに有する請求項 30 記載の半導体装置の製造方法。

【請求項 32】前記第 1 電極を形成する工程の前に、前

記水分の透過を防止する絶縁膜として、減圧 CVD（化学的気相成長）法により少なくとも窒化シリコン膜を含む絶縁膜を形成する請求項 30 記載の半導体装置の製造方法。

【請求項 33】前記水分の透過を防止する絶縁膜として、プラズマ CVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項 30 記載の半導体装置の製造方法。

10 【請求項 34】前記水分の透過を防止する絶縁膜として、触媒 CVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項 30 記載の半導体装置の製造方法。

【請求項 35】前記第 2 電極を形成する工程の後に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の水分を蓄積する絶縁膜を含む上側被覆絶縁膜を形成する工程をさらに有する請求項 30 記載の半導体装置の製造方法。

20 【請求項 36】前記第 1 電極を形成する工程の前に、水分を蓄積する絶縁膜と、当該水分を蓄積する絶縁膜の上層の水分の透過を防止する絶縁膜を含む下側被覆絶縁膜を形成する工程をさらに有する請求項 30 記載の半導体装置の製造方法。

【請求項 37】前記水分を蓄積する絶縁膜として、CVD（化学的気相成長）法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する請求項 35 記載の半導体装置の製造方法。

30 【請求項 38】前記水分を蓄積する絶縁膜として、CVD（化学的気相成長）法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する請求項 36 記載の半導体装置の製造方法。

【請求項 39】前記第 2 電極を形成する工程の後に、還元防止機能を有する絶縁膜と、当該還元防止機能を有する絶縁膜の上層の水分の透過を防止する絶縁膜を含む上側被覆絶縁膜を形成する工程をさらに有する請求項 30 記載の半導体装置の製造方法。

40 【請求項 40】前記第 1 電極を形成する工程の前に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の還元防止機能を有する絶縁膜を含む下側被覆絶縁膜を形成する工程をさらに有する請求項 30 記載の半導体装置の製造方法。

【請求項 41】前記還元防止機能を有する絶縁膜として、CVD（化学的気相成長）法により少なくとも酸化シリコン膜を含む絶縁膜を形成する請求項 39 記載の半導体装置の製造方法。

【請求項 42】前記還元防止機能を有する絶縁膜として、CVD（化学的気相成長）法により少なくとも酸化シリコン膜を含む絶縁膜を形成する請求項 40 記載の半導体装置の製造方法。

50 【請求項 43】基板に第 1 電極を形成する工程と、

前記第1電極の上層にキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜の上層に第2電極を形成する工程と、

前記第2電極の上層に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の水分を蓄積する絶縁膜とを含む上側被覆絶縁膜を形成する工程とを有する半導体装置の製造方法。

【請求項44】前記水分の透過を防止する絶縁膜として、プラズマCVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項43記載の半導体装置の製造方法。

【請求項45】前記水分の透過を防止する絶縁膜として、触媒CVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項43記載の半導体装置の製造方法。

【請求項46】前記水分を蓄積する絶縁膜として、CVD（化学的気相成長）法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する請求項43記載の半導体装置の製造方法。

【請求項47】前記第1電極を形成する工程の前に、前記基板に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の下層の水分を蓄積する絶縁膜とを含む下側被覆絶縁膜を形成する工程をさらに有する請求項43記載の半導体装置の製造方法。

【請求項48】基板に水分を蓄積する絶縁膜と、当該水分を蓄積する絶縁膜の上層の水分の透過を防止する絶縁膜とを含む下側被覆絶縁膜を形成する工程と、

前記下側被覆絶縁膜の上層に第1電極を形成する工程と、

前記第1電極の上層にキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜の上層に第2電極を形成する工程と

を有する半導体装置の製造方法。

【請求項49】前記水分の透過を防止する絶縁膜として、減圧CVD（化学的気相成長）法により少なくとも窒化シリコン膜を含む絶縁膜を形成する請求項48記載の半導体装置の製造方法。

【請求項50】前記水分の透過を防止する絶縁膜として、プラズマCVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項48記載の半導体装置の製造方法。

【請求項51】前記水分の透過を防止する絶縁膜として、触媒CVD（化学的気相成長）法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する請求項48記載の半導体装置の製造方法。

【請求項52】前記水分を蓄積する絶縁膜として、CVD

D（化学的気相成長）法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する請求項48記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に酸化タンタル膜などの比誘電率の高い絶縁膜をキャパシタ絶縁膜としているキャパシタを有する半導体装置およびその製造方法に関する。

10 【0002】

【従来の技術】近年のVLSI等の半導体装置においては、3年で7割の微細化および縮小化を実現し、高集積化および高性能化を達成してきた。上記の半導体装置の微細化および縮小化に伴い、半導体素子の一つであるキャパシタ素子も、その専有面積の縮小化が行われてきた。

【0003】例えば、DRAM（Dynamic Random Access Memory）は、スイッチング用のメタルー酸化物ー半導体積層体を有する電界効果型トランジスタ（MOSFET）とメモリキャパシタとを有するメモリセル構造を持っており、半導体デバイスにおけるプロセスドライバとして、学会レベルにおいては1Gbの記憶容量を持つDRAMの発表も行われているなど、近年ますます微細化、縮小化され、大容量化、高集積化が進められている。上記の微細化に伴いメモリセル面積は縮小化され、キャパシタ素子であるメモリキャパシタの占有面積も縮小化されてきた。

【0004】しかしながら、動作マージンを確保し、アルファ線によるソフトエラー耐性を確保して記憶したデータの信頼性を高めるために、メモリキャパシタの蓄積容量CsはDRAMの世代にかかわらず1ビットあたり20~30fFと一定の必要量以上の値を確保する必要がある。即ち、メモリキャパシタは微細化するに従いその占有面積を縮小化しているにもかかわらず、その蓄積容量Csは必要量確保する必要があり、そのための様々な工夫がなされてきた。

【0005】例えば、キャパシタ絶縁膜の膜厚を薄くすることにより蓄積容量を増加させる方法の他、キャパシタ絶縁膜として窒化シリコン膜と酸化シリコン膜の複合膜であるON膜（あるいはONO膜）に代わって、比誘電率の高い酸化タンタル（Ta₂O₅）、BST（チタン酸バリウムストロンチウム）あるいはSTO（チタン酸ストロンチウム）などを用い、キャパシタ絶縁膜の構成材料を改良することによりキャパシタの蓄積容量を増加させるなどの方法が開発されている。

【0006】一方で、キャパシタの電極構造も工夫が加えられており、様々な構造を有するものが開発されている。メモリ・キャパシタは記憶ノード電極（キャパシタのトランジスタに接続している電極）とプレート電極（キャパシタの接地している電極）とその間のキャパシ

タ絶縁膜とを有しており、記憶ノード電極とプレート電極の表面積を増加することによりキャパシタの蓄積容量を増加させることができる。例えば、平面的な構造を持つプレーナ型から、立体化した形状のスタック型およびトレンチ型などが開発されている。

【0007】半導体装置においては、DRAMなどにおけるメモリキャパシタに限らず、通常のキャパシタにおいても専有面積を縮小しながら蓄積容量を増大させることが望まれており、上記のようにしてキャパシタの構造およびキャパシタ絶縁膜の組成により蓄積容量を増加させる技術は、キャパシタ絶縁膜を介して1対の電極が対向する構造を有する通常のキャパシタに広く応用することが可能である。

【0008】上記の酸化タンタルやBSTなどの高誘電率膜をキャパシタ絶縁膜に用いたプレーナ型のキャパシタを有する半導体装置について説明する。図12は、上記のキャパシタを有する半導体装置の断面図である。例えばLOCOS法などにより形成された素子分離絶縁膜により分離された半導体基板10の不図示の活性領域において、トランジスタなどの不図示の半導体素子が形成されている。上記の半導体基板10上には、半導体基板10上のトランジスタなどの半導体素子を被覆して、あるいは、半導体基板10に形成された素子分離絶縁膜上を被覆して、例えばTEOS (tetra-ethyl-ortho-silicate) を原料とするプラズマCVD (Chemical Vapor Deposition; 化学的気相成長) 法などにより形成された酸化シリコンからなる下地絶縁膜20が形成されている。上記の下地絶縁膜20の上層に、例えばタングステンやポリシリコンなどからなる不図示の埋め込みプラグなどに接続するように形成された窒化チタンなどからなるバリアメタル層30aとプラチナなどの金属材料からなる電極層30bの積層体からなる第1電極30、例えば酸化タンタル、BSTあるいはSTOなどの高誘電率膜からなるキャパシタ絶縁膜22、および、例えばプラチナなどの金属材料からなる電極層からなる第2電極31が積層して、キャパシタ素子が形成されている。

【0009】上記のキャパシタ素子を被覆して、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上側被覆絶縁膜23が形成されている。さらにその上層に、例えばO₃ およびTEOSを原料とするCVD法により形成された酸化シリコンからなり、CMP (Chemical Mechanical Polishing) 処理などにより平坦化された平坦化絶縁膜24が形成されている。さらにその上層に、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上層絶縁膜25が形成されている。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法により形成された窒化シリコン膜 (SiN_x:H膜) からなるパッシベーション膜26が形成されている。上記の構造においては、必要に応じて、上側被覆絶縁膜23あるい

は上層絶縁膜25として、リンを含有する酸化シリコン (PSG) などを用いることも可能である。

【0010】上記の構造のキャパシタにおいては、キャパシタ素子の上層および下層に配置するように、TEOSを原料とするプラズマCVD法などにより形成された酸化シリコン層や、パッシベーション膜であるSiN_x:H膜中には、多量の水分 (水酸基成分) あるいは水素が含まれており、これらの水分 (水酸基成分) や水素が絶縁膜中を移動してキャパシタ絶縁膜22に取り込まれると、キャパシタ絶縁膜の膜質が変化し、高誘電率特性が劣化してしまうという問題が発生する。例えば、TEOSを原料とするプラズマCVD法により形成された酸化シリコン膜中には、水が多量に含まれており、この膜中の水が移動してキャパシタ絶縁膜22に取り込まれるとキャパシタ特性が劣化する。また、例えばプラズマCVD法により形成された窒化シリコン膜 (SiN_x:H膜) 中には、Si-H基やN-H基などの状態で例えば10~25at%程度の多量の水素が含まれており、この水素が移動してキャパシタ絶縁膜中に取り込まれ、キャパシタ特性が劣化する。

【0011】上記の問題を回避するために、図13の断面図に示すようなキャパシタ素子を減圧CVD法により形成された窒化シリコン膜で被覆した構造が考えられる。例えばLOCOS法などにより形成された素子分離絶縁膜により分離された半導体基板10の不図示の活性領域において、トランジスタなどの不図示の半導体素子が形成されている。上記の半導体基板10上には、半導体基板10上のトランジスタなどの半導体素子を被覆して、あるいは、半導体基板10に形成された素子分離絶縁膜上を被覆して、例えばTEOSを原料とするプラズマCVD法などにより形成された酸化シリコンからなる下地絶縁膜20が形成されている。上記の下地絶縁膜20の上層に、例えば減圧CVD法により形成された窒化シリコン膜 (Si₃N₄膜) である下側被覆絶縁膜21が形成されている。上記の下側被覆絶縁膜21の上層に、例えばタングステンやポリシリコンなどからなる不図示の埋め込みプラグなどに接続するように形成された窒化チタンなどからなるバリアメタル層30aとプラチナなどの金属材料からなる電極層30bの積層体からなる第1電極30、例えば酸化タンタル、BSTあるいはSTOなどの高誘電率膜からなるキャパシタ絶縁膜22、および、例えばプラチナなどの金属材料からなる電極層からなる第2電極31が積層して、キャパシタ素子が形成されている。

【0012】上記のキャパシタ素子を被覆して、例えば減圧CVD法により形成された窒化シリコン膜 (Si₃N₄膜) である上側被覆絶縁膜23が形成されている。さらにその上層に、例えばO₃ およびTEOSを原料とするCVD法により形成された酸化シリコンからなり、CMP処理などにより平坦化された平坦化絶縁膜24が

形成されている。さらにその上層に、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上層絶縁膜25が形成されている。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法により形成された窒化シリコン膜(SiNx:H膜)からなるパッシベーション膜26が形成されている。

【0013】上記の構造のキャパシタ素子において、下側被覆絶縁膜21および上側被覆絶縁膜23として、減圧CVD法により形成された窒化シリコン膜(Si₃N₄膜)は、水(水酸基)を透過させず、これらがキャパシタ絶縁膜に取り込まれるのを防止することができる。

【0014】

【発明が解決しようとする課題】しかしながら上記のように、キャパシタ素子が、減圧CVD法により形成された窒化シリコン膜(Si₃N₄膜)からなる下側被覆絶縁膜21および上側被覆絶縁膜23により被覆されている構造を形成する場合、その製造工程において、減圧CVD法により形成される窒化シリコン膜(Si₃N₄膜)の成膜温度が700~850℃程度あることから、この成膜温度下でキャパシタ絶縁膜や電極の物理的な構造の変化や膜質の劣化を引き起し、これに伴ってキャパシタ特性の劣化を発生させることになる。

【0015】上記の問題を回避するために、プラズマCVD法により形成される窒化シリコン(SiNx:H)膜からなる下側被覆絶縁膜21および上側被覆絶縁膜23により、上記のキャパシタ素子を被覆する構造が考えられる。しかしながら、プラズマCVD法により形成される窒化シリコン膜(SiNx:H膜)中にはSi-H基やN-H基などの状態で多量(10~25atom%)に水素が含有されており、この水素が絶縁膜中を移動してキャパシタ絶縁膜22に取り込まれることにより、キャパシタ絶縁膜の膜質が変化する上記の問題を容易に発生させてしまう。

【0016】そこで、現在プラズマCVD法により、水素や水酸基の含有量の少ない酸化シリコン膜を形成する方法の開発が進められている。しかしながら、現時点においては未だ半導体装置中の絶縁膜として使用可能な特性が得られていない。上記のように、実際の半導体装置においては、絶縁膜中の水(水酸基)や水素などに対する対策が十分ではなく、デバイス特性の安定化が十分になされてはいないために、上記の層間絶縁膜中に含有されている水(水酸基)や水素などが、絶縁膜中を移動してキャパシタ絶縁膜に取り込まれた時のキャパシタ特性の悪化分を考慮してマージンのある設計がなされており、高誘電率膜の特性を十分に活用しているとは言えない。

【0017】本発明は、上記の問題に鑑みなされたものであり、従って本発明の目的は、高誘電率のキャパシタ絶縁膜を有するキャパシタ素子において、キャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や

水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる半導体装置およびその製造方法を提供することである。

【0018】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、基板に形成された第1電極と、前記第1電極の上層に形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜の上層に形成された第2電極とを有するキャパシタ素子を有し、少なくとも前記第2電極の上面に水素の透過を防止する膜が形成されている。

【0019】上記の本発明の半導体装置は、好適には、さらに前記第1電極の下面に水素の透過を防止する膜が形成されている。第2電極の上面あるいは第1電極の下面の表層部分に形成された少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜により、上記の水素の透過を防止する膜とする。

【0020】上記の本発明の半導体装置は、好適には、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれか、好ましくは両側に、水分の透過を防止する絶縁膜を含む被覆絶縁膜が形成されている。さらに好適には、前記水分の透過を防止する絶縁膜が、少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜である。

【0021】上記の本発明の半導体装置は、好適には、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれか、好ましくは両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。さらに好適には、前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜である。

【0022】上記の本発明の半導体装置は、好適には、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれか、好ましくは両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。さらに好適には、前記還元防止機能を有する絶縁膜が、少なくとも酸化シリコン膜を含む絶縁膜である。

【0023】上記の本発明の半導体装置は、好適には、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれか、好ましくは両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜と、前記水分の透過を防止する絶縁膜の前記キャパシタ素子側に形成された還元防止機能を有する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。さら

に好適には、前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜であり、また、前記還元防止機能を有する絶縁膜が、少なくとも酸化シリコン膜を含む絶縁膜である。

【0024】上記の本発明の半導体装置は、酸化タンタル、BSTあるいはSTOなどの高誘電率のキャパシタ絶縁膜を有するキャパシタを有する半導体装置において、第1電極、キャパシタ絶縁膜および第2電極からなるキャパシタ素子において、少なくとも第2電極の上面に、好ましくは第2電極の上面および第1電極の下面の表層部分に、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜として、水素の透過を防止する膜が形成されている。上記の構造のキャパシタは、水素の透過を防止する膜により、その上層あるいは下層に形成されている窒化シリコン膜などの絶縁膜中にSi-H基やN-H基などの状態で含有される水素がキャパシタ絶縁膜へと移動するのを防止できる。従って、キャパシタ素子を被覆している絶縁膜中に含有される水素がキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0025】さらに、第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、好ましくは両側に、水分の透過を防止する絶縁膜を含む被覆絶縁膜が形成されている構造とすることで、キャパシタ素子の上層あるいは下層に形成された酸化シリコンなどの絶縁膜中の水（水酸基）などがキャパシタ絶縁膜へと移動するのを防止でき、キャパシタのデバイス特性をさらに安定化させることができる。第2電極の上層あるいは前記第1電極の下層の両側に水分の透過を防止する絶縁膜を含む被覆絶縁膜が形成されている構造とすることで、キャパシタのデバイス特性をさらに安定化させることができる。

【0026】さらに、被覆絶縁膜を水分の透過を防止する絶縁膜と水分を蓄積する絶縁膜との積層絶縁膜構造とすることで、窒化シリコン膜など水分の透過を防止する絶縁膜を薄膜化することが可能となり、窒化シリコン膜から供給される水素の量を抑制することが可能となる。

【0027】さらに、被覆絶縁膜を水分の透過を防止する絶縁膜と還元防止機能を有する絶縁膜との積層絶縁膜構造とすることで、窒化シリコン膜など水分の透過を防止する絶縁膜から供給される水素を消費し、キャパシタ絶縁膜へ移動する水素の量を抑制することが可能となる。

【0028】また、上記の目的を達成するため、本発明の半導体装置は、基板に形成された第1電極と、前記第1電極の上層に形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜の上層に形成された第2電極とを有するキャパシタ素子を有し、前記第2電極の上層あるいは前記第1電極の下層の少なくともいずれかに、水分の透過

を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。

【0029】上記の本発明の半導体装置は、好適には、前記第2電極の上層および前記第1電極の下層の両側に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の前記キャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。さらに好適には、前記水分の透過を防止する絶縁膜が、少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜であり、前記水分を蓄積する絶縁膜が、少なくともリンを含有する酸化シリコン膜を含む絶縁膜である。

【0030】上記の本発明の半導体装置は、酸化タンタル、BSTあるいはSTOなどの高誘電率のキャパシタ絶縁膜を有するキャパシタを有する半導体装置において、第1電極、キャパシタ絶縁膜および第2電極からなるキャパシタ素子において、第2電極の上層あるいは第1電極の下層の少なくともいずれかに、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜のキャパシタ素子の反対側に形成された水分を蓄積する絶縁膜との積層絶縁膜を含む被覆絶縁膜が形成されている。上記の構造のキャパシタは、水分の透過を防止する絶縁膜が水分の透過を防止し、さらに被覆絶縁膜を水分の透過を防止する絶縁膜と水分を蓄積する絶縁膜との積層絶縁膜構造とすることで、窒化シリコン膜など水分の透過を防止する絶縁膜を薄膜化することが可能となり、窒化シリコン膜から供給される水素の量を抑制することが可能となる。従って、キャパシタ素子を被覆している絶縁膜中に含有される水分（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0031】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、基板に第1電極を形成する工程と、前記第1電極の上層にキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の上層に第2電極を形成する工程とを有し、前記第2電極を形成する工程以降の工程が、少なくとも前記第2電極の上面に水素の透過を防止する膜を形成する工程を含む。

【0032】上記の本発明の半導体装置の製造方法は、好適には、前記第1電極を形成する工程以前の工程が、さらに前記第1電極の下面に水素の透過を防止する膜を形成する工程を含む。第2電極の上面あるいは第1電極の下面の表層部分に、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜を形成して、上記の水素の透過を防止する膜とする。

【0033】上記の本発明の半導体装置の製造方法は、好適には、前記第2電極を形成する工程の前、あるいは

は、前記第1電極を形成する工程の後の少なくともいずれか、好ましくは両方に、水分の透過を防止する絶縁膜を含む被覆絶縁膜を形成する工程をさらに有する。さらに好適には、前記水分の透過を防止する絶縁膜として、減圧CVD（化学的気相成長）法（第1電極を形成する工程の前の場合）、プラズマCVD法、あるいは、触媒CVD法により少なくとも窒化シリコン膜を含む絶縁膜を形成する。

【0034】上記の本発明の半導体装置の製造方法は、好適には、前記第2電極を形成する工程の後に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の水分を蓄積する絶縁膜を含む上側被覆絶縁膜を形成する工程をさらに有する。あるいは好適には、前記第1電極を形成する工程の前に、水分を蓄積する絶縁膜と、当該水分を蓄積する絶縁膜の上層の水分の透過を防止する絶縁膜を含む下側被覆絶縁膜を形成する工程をさらに有する。さらに好適には、前記水分を蓄積する絶縁膜として、CVD（化学的気相成長）法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記第2電極を形成する工程の後に、還元防止機能を有する絶縁膜と、当該還元防止機能を有する絶縁膜の上層の水分の透過を防止する絶縁膜を含む上側被覆絶縁膜を形成する工程をさらに有する。あるいは好適には、前記第1電極を形成する工程の前に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の還元防止機能を有する絶縁膜を含む下側被覆絶縁膜を形成する工程をさらに有する。さらに好適には、前記還元防止機能を有する絶縁膜として、CVD（化学的気相成長）法により少なくとも酸化シリコン膜を含む絶縁膜を形成する。

【0036】上記の本発明の半導体装置の製造方法によれば、酸化タンタル、BSTあるいはSTOなどの高誘電率のキャパシタ絶縁膜を有するキャパシタを有する半導体装置を製造する工程において、第1電極、キャパシタ絶縁膜および第2電極からなるキャパシタ素子の少なくとも第2電極の上面に、好ましくは第2電極の上面および第1電極の下面の表層部分に、少なくとも窒化チタン、酸化窒化チタン膜あるいは酸化イリジウムのいずれかを含有する導電膜として、水素の透過を防止する膜を形成する。上記の水素の透過を防止する膜を形成することにより、その上層あるいは下層に形成される窒化シリコン膜などの絶縁膜中にSi-H基やN-H基などの状態で含有される水素がキャパシタ絶縁膜へと移動するのを防止できる。従って、キャパシタ素子を被覆している絶縁膜中に含有される水素がキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0037】さらに、第2電極の上層あるいは前記第1

電極の下層の少なくともいずれか、好ましくは両方に、水分の透過を防止する絶縁膜を含む被覆絶縁膜を形成することで、キャパシタ素子の上層あるいは下層に形成された酸化シリコンなどの絶縁膜中の水（水酸基）などがキャパシタ絶縁膜へと移動するのを防止でき、キャパシタのデバイス特性をさらに安定化させることができる。

【0038】さらに、被覆絶縁膜を、水分の透過を防止する絶縁膜と水分を蓄積する絶縁膜との積層絶縁膜構造として形成することで、窒化シリコン膜など水分の透過を防止する絶縁膜を薄膜化することが可能となり、窒化シリコン膜から供給される水素の量を抑制することが可能となる。

【0039】さらに、被覆絶縁膜を、水分の透過を防止する絶縁膜と還元防止機能を有する絶縁膜との積層絶縁膜構造として形成することで、窒化シリコン膜など水分の透過を防止する絶縁膜から供給される水素を消費し、キャパシタ絶縁膜へ移動する水素の量を抑制することが可能となる。

【0040】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、基板に第1電極を形成する工程と、前記第1電極の上層にキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の上層に第2電極を形成する工程と、前記第2電極の上層に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の上層の水分を蓄積する絶縁膜とを含む上側被覆絶縁膜を形成する工程とを有する。

【0041】上記の本発明の半導体装置の製造方法は、好適には、前記水分の透過を防止する絶縁膜として、プラズマCVD（化学的気相成長）法あるいは触媒CVD法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する。また、好適には、前記水分を蓄積する絶縁膜として、CVD法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する。

【0042】上記の本発明の半導体装置の製造方法は、好適には、前記第1電極を形成する工程の前に、前記基板に、水分の透過を防止する絶縁膜と、当該水分の透過を防止する絶縁膜の下層の水分を蓄積する絶縁膜とを含む下側被覆絶縁膜を形成する工程をさらに有する。

【0043】上記の本発明の半導体装置の製造方法によれば、酸化タンタル、BSTあるいはSTOなどの高誘電率のキャパシタ絶縁膜を有するキャパシタを有する半導体装置を製造する工程において、第1電極、キャパシタ絶縁膜および第2電極からなるキャパシタ素子の第2電極の上層に、水分の透過を防止する絶縁膜と、その上層の水分を蓄積する絶縁膜とを含む上側被覆絶縁膜を形成する。水分の透過を防止する絶縁膜が水分の透過を防止し、さらに被覆絶縁膜を水分の透過を防止する絶縁膜と水分を蓄積する絶縁膜との積層絶縁膜構造として形成することで、窒化シリコン膜など水分の透過を防止する

絶縁膜を薄膜化することが可能となり、窒化シリコン膜から供給される水素の量を抑制することが可能となる。従って、キャパシタ素子を被覆している絶縁膜中に含有される水分（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0044】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、基板に水分を蓄積する絶縁膜と、当該水分を蓄積する絶縁膜の上層の水分の透過を防止する絶縁膜とを含む下側被覆絶縁膜を形成する工程と、前記下側被覆絶縁膜の上層に第1電極を形成する工程と、前記第1電極の上層にキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の上層に第2電極を形成する工程とを有する。

【0045】上記の本発明の半導体装置の製造方法は、好適には、前記水分の透過を防止する絶縁膜として、減圧CVD（化学的気相成長）法、プラズマCVD法あるいは触媒CVD法により少なくとも窒化シリコン膜あるいは酸化窒化シリコン膜を含む絶縁膜を形成する。また、好適には、前記水分を蓄積する絶縁膜として、CVD法により少なくともリンを含有する酸化シリコン膜を含む絶縁膜を形成する。

【0046】上記の本発明の半導体装置の製造方法によれば、酸化タンタル、BSTあるいはSTOなどの高誘電率のキャパシタ絶縁膜を有するキャパシタを有する半導体装置を製造する工程において、第1電極、キャパシタ絶縁膜および第2電極からなるキャパシタ素子の第1電極の下層に、水分を蓄積する絶縁膜と、その上層の水分の透過を防止する絶縁膜とを含む下側被覆絶縁膜を形成する。水分の透過を防止する絶縁膜が水分の透過を防止し、さらに被覆絶縁膜を水分の透過を防止する絶縁膜と水分を蓄積する絶縁膜との積層絶縁膜構造として形成することで、窒化シリコン膜など水分の透過を防止する絶縁膜を薄膜化することが可能となり、窒化シリコン膜から供給される水素の量を抑制することが可能となる。従って、キャパシタ素子を被覆している絶縁膜中に含有される水分（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0047】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について図面を参照して説明する。

【0048】第1実施形態

図1は、本実施形態に係る半導体装置の断面図である。例えばLOCOS法あるいはSTI（Shallow Trench Isolation）法などにより形成された素子分離絶縁膜により分離された半導体基板10の不図示の活性領域において、トランジスタなどの不図示の半導体素子が形成されている。上記の半導体基板10上には、半導体基板10上のトランジスタなどの半導体素子を被覆して、あるい

は、半導体基板10に形成された素子分離絶縁膜上を被覆して、例えばTEOS（tetra-ethyl-ortho-silicate）を原料とするプラズマCVD（Chemical Vapor Deposition）法などにより形成された酸化シリコンからなる下地絶縁膜20が形成されている。上記の下地絶縁膜20の上層に、例えば常圧CVD法などにより形成された0.5重量%のリンを含有する100～500nmの膜厚の酸化シリコン膜（PSG膜）21a、例えば減圧CVD法などにより形成された0.2～2.0atm%の水素を含有する50～150nmの膜厚の窒化シリコン膜21b、および、例えばO₃およびTEOSを原料とするCVD法により形成された0.5～1.0重量%の水酸基（水分）を含有する50～150nmの膜厚の酸化シリコン膜21cの積層絶縁膜である下側被覆絶縁膜21が形成されている。

【0049】上記の下側被覆絶縁膜21の上層に、例えばタングステンやポリシリコンなどからなる不図示の埋め込みプラグなどに接続するようにスパッタリング法などにより形成された窒化チタンや酸化窒化チタンなどからなる電極被覆導電層（バリアメタル層）30aと、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層30bの積層体からなる第1電極30が形成されている。上記の第1電極30の上層に、例えば酸化タンタル（Ta₂O₅）、BST（チタン酸バリウムストロンチウム）あるいはSTO（チタン酸ストロンチウム）などの高誘電率膜、あるいは、Y1などの強誘電体膜からなるキャパシタ絶縁膜22が形成されている。上記のキャパシタ絶縁膜22の上層に、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層31aと、例えばスパッタリング法などにより形成された窒化チタンや酸化窒化チタンなどからなり、50～150nmの膜厚の電極被覆導電層31bの積層体からなる第2電極31が形成されている。以上のように、キャパシタ絶縁膜を介して1対の電極が対向する構造を有するキャパシタ素子が形成されている。

【0050】上記のキャパシタ素子を被覆して、例えばO₃およびTEOSを原料とするCVD法により形成された0.5～1.0重量%の水酸基（水分）を含有する100～500nmの膜厚の酸化シリコン膜23a、例えば触媒CVD法などにより形成された1～2.0atom%の水素を含有する50～150nmの膜厚の窒化シリコン膜23b、および、例えば常圧CVD法などにより形成されたリンを含有する酸化シリコン膜（PSG膜）23cの積層絶縁膜である上側被覆絶縁膜23が形成されている。

【0051】上側被覆絶縁膜23の上層に、例えばO₃およびTEOSを原料とするCVD法、あるいは、ICP（Inductively Coupled Plasma）型プラズマCVD法、ECR（Electron Cyclotron Resonance）型プラズ

マCVD法あるいはヘリコン波プラズマCVD法などの高密度プラズマCVD法などにより形成された酸化シリコンからなり、CMP (Chemical Mechanical Polishing) 処理などにより平坦化された平坦化絶縁膜24が形成されている。さらにその上層に、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上層絶縁膜25が形成されている。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法により形成された窒化シリコン膜 (SiN_x :H膜) からなるパッシベーション膜26が形成されている。

【0052】上記の構造のキャパシタ素子においては、第1電極30および第2電極の下部および上部にそれぞれ形成された電極被覆導電層30a、31bは、バリアメタル層として機能する他に、パッシベーション膜26などの窒化シリコン膜中に含有される水素の透過を防止する機能を有する。

【0053】また、下側被覆絶縁膜21および上側被覆絶縁膜23中の窒化シリコン膜21b、23bは、PSG膜などに含有される水分(水酸基)の透過を防止する機能を有する。特に、下側被覆絶縁膜21中の窒化シリコン膜21bは、減圧CVD法による高温成膜が可能であり、この場合には膜中の水素含有率を低減できるので、キャパシタ絶縁膜の劣化をさらに抑制することができる。

【0054】また、下側被覆絶縁膜21および上側被覆絶縁膜23中のPSG膜21a、23cは、水分(水酸基)を蓄える機能を有し、水分(水酸基)を外部へ放出しにくい性質を有しているため、過度の水分の透過を防止し、さらに、ナトリウムイオンゲッター、電荷中和、応力緩和などの機能を有する。上記の構造においては、必要に応じて、上側被覆絶縁膜23の一部としてPSG膜を形成するかわりに、上層絶縁膜25として、PSG膜を用いることも可能であり、この場合には上層絶縁膜25が上記の機能を有することになる。

【0055】また、下側被覆絶縁膜21および上側被覆絶縁膜23中の O_3 およびTEOSを原料とするCVD法により形成された酸化シリコン膜21c、23aは、キャパシタ素子に適度な量の水分(水酸基)を供給する機能と、水素を消費する酸化剤(還元防止剤)としての機能を有している。上記の酸化シリコン膜は、膜中に水分を有しているため厚膜化するとキャパシタ絶縁膜に移動する水分量が多量となり、キャパシタ絶縁膜が劣化してしまうが、水分の透過を防止する窒化シリコン膜のキャパシタ素子側に薄膜にして形成することで、キャパシタ絶縁膜に微量の水分を供給するのみとなり、キャパシタ素子の特性を劣化させることなく、水素を消費する機能を有する膜とすることができる。

【0056】従って、キャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や水素などがキャパシタ絶縁膜まで移動するのを抑制し、デバイス特性が安定

化(例えば、漏れ電流の増加の低減、容量値低下の低減、耐圧劣化の低減、高周波側の周波数特性の劣化の防止)したキャパシタ素子を有する半導体装置である。

【0057】上記の本発明の半導体装置の製造方法について説明する。まず、図2(a)に示すように、半導体基板10に、LOCOS法あるいはSTI法などにより不図示の素子分離絶縁膜を形成し、活性領域にトランジスタなどの不図示の半導体素子を形成した後、その上層を被覆して例えばTEOSを原料とするプラズマCVD法により酸化シリコンを堆積させて下地絶縁膜20を形成する。

【0058】次に、下地絶縁膜20の上層に、例えば常圧CVD法、 O_3 およびTEOSを原料とするCVD法、あるいは、TEOSを原料とするプラズマCVD法などにより、0~4.5重量%のリンを含有し、100~500nmの膜厚を有する酸化シリコン膜(PSG膜)21aを形成する。PSG膜21aは常圧CVD法により形成することが一般的であるが、プラズマCVD法や減圧CVD法により形成することも可能である。但し、ダストの発生やチャージアップダメージの観点からスパッタリング法により形成することは好ましくない。PSG膜21a中のリンの含有量としては、製造工程における吸湿性の問題から5重量%以下とすることが好ましい。

【0059】次に、図2(b)に示すように、PSG膜21aの上層に、例えば、プラズマCVD法あるいは触媒CVD法により窒化シリコン膜(SiN_x :H膜)、減圧CVD法により窒化シリコン膜(Si_3N_4 膜)、あるいは、プラズマCVD法、触媒CVD法、減圧CVD法あるいはスパッタリング法などにより酸化窒化シリコン膜($\text{SiO}_x\text{N}_y\text{H}_z$:H膜; $x=0\sim50$ (atom%), $y=100-x$ (atom%))などを50~150nmの膜厚で堆積させて、0.2~20atom%の水素を含有する窒化シリコン膜21bを形成する。触媒CVD法においては、基板の近傍に配置されたタングステン線などの加熱触媒体と原料ガスとの接触分解反応を利用して、プラズマを用いずに200~300℃程度の低温で成膜することが可能である。上記の減圧CVD法、プラズマCVD法あるいはスパッタリング法としては通常用いられる範囲の処理条件により成膜することができ、例えば、減圧CVD法により窒化シリコン膜(Si_3N_4 膜)を形成する成膜温度は700~850℃程度である。

【0060】次に、窒化シリコン膜21bの上層に、例えば O_3 およびTEOSを原料とするCVD法により0.5~10重量%の水酸基(水分)を含有する50~150nmの膜厚の酸化シリコン膜(O_3 -TEOS膜)21cを形成する。以上のようにして、PSG膜21a、窒化シリコン膜21bおよび O_3 -TEOS膜21cの積層絶縁膜である下側被覆絶縁膜21を形成す

る。

【0061】次に、図2(c)に示すように、下側被覆絶縁膜21の上層に、例えばスパッタリング法などにより窒化チタン、酸化窒化チタンあるいは酸化イリジウムを堆積させ、電極被覆導電層30aを形成する。次に、電極被覆導電層30aの上層に、例えばスパッタリング法などによりプラチナ、イリジウム、アルミニウム、あるいはプラチナ/ルテニウムの積層体などの導電性材料を堆積させ、電極層30bを形成する。以上のようにして、電極被覆導電層30aと電極層30bの積層体である第1電極30を形成する。

【0062】次に、第1電極30の上層に、例えば酸化タンタル、BSTあるいはSTOなどの高誘電率膜からなるキャパシタ絶縁膜22を通常用いられる方法により形成する。次に、その上層に、例えば第1電極30と同様に、例えばスパッタリング法などによりプラチナ、イリジウム、アルミニウム、あるいはプラチナ/ルテニウムの積層体などの導電性材料を堆積させ、電極層31aを形成する。次に、電極層31aの上層に、例えばスパッタリング法などにより窒化チタン、酸化窒化チタンあるいは酸化イリジウムを堆積させ、電極被覆膜31bを形成する。以上のようにして、電極層31aと電極被覆膜31bの積層体である第2電極31を形成する。ここで、上記の電極被覆導電層30a、31bとして酸化窒化チタン膜(TiO_xN_y 膜; ; $x=0.1\sim2.0$ (atom%), $y=100-x$ (atom%))を形成する場合には、スパッタリング法を用いるのが一般的であるが、プラズマCVD法あるいは有機金属CVD法を用いることも可能である。

【0063】次に、図3(d)に示すように、フォトリソグラフィ工程によりキャパシタ素子のパターンを有するレジスト膜Rを形成した後、RIE(反応性イオンエッチング)などのエッチング処理により第2電極31、キャパシタ絶縁膜22および第1電極30を順にパターン加工して、キャパシタ絶縁膜を介して1対の電極が対向する構造を有するキャパシタ素子を形成する。

【0064】次に、図3(e)に示すように、アッシング処理などによりレジスト膜を除去した後、上記のキャパシタ素子を被覆して、例えば O_3 およびTEOSを原料とするCVD法により0.5~10重量%の水酸基(水分)を含有する100~500nmの膜厚の酸化シリコン膜(O_3 -TEOS膜)23aを形成する。次に、 O_3 -TEOS膜23aの上層に、例えば、プラズマCVD法あるいは触媒CVD法により窒化シリコン膜(SiN_x :H膜)、あるいは、プラズマCVD法、触媒CVD法などにより酸化窒化シリコン膜(SiO_xN_y :H膜; $x=0\sim50$ (atom%), $y=100-x$ (atom%))などを50~150nmの膜厚で堆積させて、1~20atom%の水素を含有する窒化シリコン膜23bを形成する。触媒CVD法におい

ては、上記の窒化シリコン膜23bと同様に、200~300℃程度の低温で成膜することが可能である。上記のプラズマCVD法あるいはスパッタリング法としては通常用いられる範囲の処理条件により成膜することができる。但し、減圧CVD法は成膜温度が700~850℃程度と高く、この成膜温度下でキャパシタ絶縁膜や電極の物理的な構造の変化や膜質の劣化を引き起し、これに伴ってキャパシタ特性の劣化を発生させるので用いることができない。

【0065】次に、図4(f)に示すように、窒化シリコン膜23bの上層に、例えば SiH_4 を原料とするCVD法、常圧CVD法、 O_3 およびTEOSを原料とするCVD法、あるいは、TEOSを原料とするプラズマCVD法などにより、0~4.5重量%のリンを含有する酸化シリコン膜(PSG膜)23cを形成する。PSG膜23cは常圧CVD法により形成することが一般的であるが、プラズマCVD法や減圧CVD法により形成することも可能である。但し、ダストの発生やチャージアップダメージの観点からスパッタリング法により形成することは好ましくない。PSG膜23c中のリンの含有量としては、製造工程における吸湿性の問題から5重量%以下とすることが好ましい。以上のようにして、 O_3 -TEOS膜23a、窒化シリコン膜23bおよびPSG膜23cの積層絶縁膜である上側被覆絶縁膜23を形成する。次に、上側被覆絶縁膜23の上層に、例えば O_3 およびTEOSを原料とするCVD法、あるいは、ICP型プラズマCVD法、ECR型プラズマCVD法あるいはヘリコン波プラズマCVD法などの高密度プラズマCVD法などにより酸化シリコンを堆積させ、絶縁膜24を形成し、図4(g)に示すように、例えばCMP処理などにより平坦化して、平坦化絶縁膜24とする。

【0066】次に、例えばTEOSを原料とするプラズマCVD法により酸化シリコンを堆積させ、上層絶縁膜25を形成する。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法あるいは触媒CVD法などにより、窒化シリコン膜(SiN_x :H膜)あるいは酸化窒化シリコン膜(SiO_xN_y :H膜)を堆積させ、パッシベーション膜26を形成する。以上で、図1に示すキャパシタ素子を有する半導体装置を形成することができる。

【0067】上記の半導体装置の製造方法によれば、第2電極31の上面(上側被覆絶縁膜側)と、第1電極30の下面(下側被覆絶縁膜側)に窒化チタン膜や酸化窒化チタン膜などの水素の透過を防止する電極被覆導電層30a、31bを形成しており、パッシベーション膜などの窒化シリコン含有膜中にSi-H基やN-H基などの状態で含有される水素がキャパシタ絶縁膜22へと移動するのを防止し、キャパシタ素子の劣化を防止でき

【0068】また、PSG膜などに含有される水分（水酸基）の透過を防止する機能を有する窒化シリコン膜 21b、23b を形成しており、水分（水酸基）がキャパシタ絶縁膜へ移動するのを防止してキャパシタ素子の劣化を防止できる。特に、下側被覆絶縁膜 21 中の窒化シリコン膜 21b は、減圧CVD法による高温成膜が可能であり、この場合には膜中の水素含有率を低減できるので、キャパシタ素子の劣化をさらに抑制することができる。

【0069】また、水分（水酸基）を蓄える機能を有し、水分（水酸基）を外部へ放出しにくい性質を有する PSG膜 21a、23c を形成しており、過度の水分の透過を防止することができる。さらにこの PSG膜は、ナトリウムイオンゲッター、電荷中和、応力緩和などの機能を有する。上記の構造においては、必要に応じて、上側被覆絶縁膜 23 の一部として PSG膜を形成するかわりに、上層絶縁膜 25 として、PSG膜を用いることも可能であり、この場合には上層絶縁膜 25 が上記の機能を有することになる。

【0070】また、キャパシタ素子に適度な量の水分（水酸基）を供給する機能と、水素を消費する酸化剤（還元防止剤）としての機能を有する O_3 -TEOS膜 21c、23a を形成しており、水素の透過を防止することができる。

【0071】従って、キャパシタ素子を被覆している絶縁膜中に含有される水、水素あるいは水酸基などがキャパシタ絶縁膜まで移動するのを抑制し、デバイス特性の安定化（例えば、漏れ電流の増加の低減、容量値低下の低減、耐圧劣化の低減、高周波側の周波数特性の劣化の防止）したキャパシタを形成することができる。

【0072】上記の構造において、第2電極の上面（上側被覆絶縁膜側）と、第1電極の下面（下側被覆絶縁膜側）に形成される電極被覆膜は水素の透過を防止する機能を有するが、スパッタリング法などにより形成される酸化ルテニウムなどの水素の透過を防止する電極材料を用いることにより、電極被覆膜と電極層を一体に形成することもできる。

【0073】また、本実施形態に係る半導体装置は、図5の断面図に示す構造とすることも可能である。例えば LOCOS法やSTI法などにより形成された素子分離絶縁膜により分離された半導体基板 10 の不図示の活性領域において、トランジスタなどの不図示の半導体素子が形成されおり、また、例えばトランジスタのソース・ドレイン領域などとして、半導体基板 10 中にリンなどの導電性不純物が拡散された拡散層 11 が形成されている。上記の半導体基板 10 上には、半導体基板 10 上のトランジスタあるいは拡散層 11 などの半導体素子を被覆して、あるいは、半導体基板 10 に形成された素子分離絶縁膜を被覆して、例えばTEOSを原料とするプラズマCVD法などにより形成された酸化シリコンからな

る下地絶縁膜 20 が形成されている。上記の下地絶縁膜 20 の上層に、例えば常圧CVD法などにより形成された $0 \sim 4.5$ 重量%のリンを含有する $100 \sim 500 \text{ nm}$ の膜厚の酸化シリコン膜（PSG膜） 21a、例えば減圧CVD法などにより形成された $0.2 \sim 20 \text{ atom\%}$ の水素を含有する $50 \sim 150 \text{ nm}$ の膜厚の窒化シリコン膜 21b、および、例えば O_3 およびTEOSを原料とするCVD法により形成された $0.5 \sim 10$ 重量%の水酸基（水分）を含有する $50 \sim 150 \text{ nm}$ の膜厚の酸化シリコン膜 21c の積層絶縁膜である下側被覆絶縁膜 21 が形成されている。

【0074】上記のした下地絶縁膜 20 および下側被覆絶縁膜 21 を貫通して、拡散層 11 に達するコンタクトホールCHが開口されており、例えばリンなどの導電性不純物を含有するポリシリコン、あるいは、窒化チタンなどの密着層とタングステンなどの導電層との積層体などからなるプラグ 12 が埋め込まれている。

【0075】上記の下側被覆絶縁膜 21 の上層に、プラグ 12 に接続するようにスパッタリング法などにより形成された窒化チタンや酸化窒化チタンなどからなる電極被覆導電層（バリアメタル層） 30a と、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層 30b の積層体からなる第1電極 30 が形成されている。上記の第1電極 30 を被覆して、例えば酸化タンタル（ Ta_2O_5 ）、BST（チタン酸バリウムストロンチウム）あるいはSTO（チタン酸ストロンチウム）などの高誘電率膜、あるいは、Y1などの強誘電体膜からなるキャパシタ絶縁膜 22 が形成されている。上記のキャパシタ絶縁膜 22 の上層に、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層 31a と、例えばスパッタリング法などにより形成された窒化チタンや酸化窒化チタンなどからなり、 $50 \sim 150 \text{ nm}$ の膜厚の電極被覆導電層 31b の積層体からなる第2電極 31 が形成されている。以上のように、キャパシタ絶縁膜を介して1対の電極が対向する構造を有するキャパシタ素子が形成されている。

【0076】上記のキャパシタ素子を被覆して、例えば O_3 およびTEOSを原料とするCVD法により形成された $0.5 \sim 10$ 重量%の水酸基（水分）を含有する $100 \sim 500 \text{ nm}$ の膜厚の酸化シリコン膜 23a、例えば触媒CVD法などにより形成された $1 \sim 20 \text{ atom\%}$ の水素を含有する $50 \sim 150 \text{ nm}$ の膜厚の窒化シリコン膜 23b、および、例えば常圧CVD法などにより形成されたリンを含有する酸化シリコン膜（PSG膜） 23c の積層絶縁膜である上側被覆絶縁膜 23 が形成されている。

【0077】上側被覆絶縁膜 23 の上層に、例えば O_3 およびTEOSを原料とするCVD法、あるいは、ICP型プラズマCVD法、ECR型プラズマCVD法ある

いはヘリコン波プラズマCVD法などの高密度プラズマCVD法などにより形成された酸化シリコンからなり、CMP処理などにより平坦化された平坦化絶縁膜24が形成されている。さらにその上層に、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上層絶縁膜25が形成されている。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法により形成された窒化シリコン膜(SiNx:H膜)からなるパッシベーション膜26が形成されている。

【0078】上記の図5に示す構造の半導体装置は、実質的に図1に示す構造の半導体装置と同様であり、上記と同様にキャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や水素などがキャパシタ絶縁膜まで移動するのを抑制し、デバイス特性が安定化(例えば、漏れ電流の増加の低減、容量値低下の低減、耐圧劣化の低減、高周波側の周波数特性の劣化の防止)したキャパシタ素子を有する半導体装置である。

【0079】第2実施形態

図6は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第1実施形態に係る半導体装置と実質的に同様であり、第1実施形態と同様な構成のキャパシタ素子部分を有しているが、下側被覆絶縁膜21がPSG(リンを含有する酸化シリコン)膜21aと窒化シリコン膜21bの積層体から構成されている(第1実施形態のO₃-TEOS膜21cを有していない)こと、また、上側被覆絶縁膜23が窒化シリコン膜23bと上層PSG膜23cの積層体から構成されている(第1実施形態におけるO₃-TEOS膜23aを有していない)ことが異なっている。

【0080】上記の本実施形態に係る半導体装置の製造方法は第1実施形態に係る半導体装置の製造方法と実質的に同様であり、下側被覆絶縁膜21および上側被覆絶縁膜23の形成工程において、それぞれO₃-TEOS膜の製造工程を省略することにより形成することができる。

【0081】上記の構造のキャパシタは、第1実施形態と同様、キャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0082】第3実施形態

図7は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第1実施形態に係る半導体装置と実質的に同様であり、第1実施形態と同様な構成のキャパシタ素子部分を有しているが、下側被覆絶縁膜21がPSG(リンを含有する酸化シリコン)膜21aと窒化シリコン膜21bの積層体から構成されている(第1実施形態のO₃-TEOS膜21cを有していない)こと、また、上側被覆絶縁膜23が窒化シリコン膜23bの単層構成となっている(第1実施形態にお

るO₃-TEOS膜23aおよびPSG膜23cを有していない)ことが異なっている。

【0083】上記の本実施形態に係る半導体装置の製造方法は第1実施形態に係る半導体装置の製造方法と実質的に同様であり、下側被覆絶縁膜21および上側被覆絶縁膜23の形成工程において、それぞれO₃-TEOS膜の製造工程を省略し、上側被覆絶縁膜23の形成工程においてPSG膜の製造工程を省略することにより形成することができる。

10 【0084】上記の構造のキャパシタは、第1実施形態と同様、キャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0085】第4実施形態

図8は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第1実施形態に係る半導体装置と実質的に同様であり、第1実施形態と同様な構成のキャパシタ素子部分を有しているが、下側被覆絶縁膜21が窒化シリコン膜21bとO₃-TEOS膜21cの積層体から構成されている(第1実施形態のPSG(リンを含有する酸化シリコン)膜21aを有していない)こと、また、上側被覆絶縁膜23がO₃-TEOS膜23aと窒化シリコン膜23bの積層体から構成されている(第1実施形態におけるPSG膜23cを有していない)ことが異なっている。

【0086】上記の本実施形態に係る半導体装置の製造方法は第1実施形態に係る半導体装置の製造方法と実質的に同様であり、下側被覆絶縁膜21および上側被覆絶縁膜23の形成工程において、それぞれPSG膜の製造工程を省略することにより形成することができる。

【0087】上記の構造のキャパシタは、第1実施形態と同様、キャパシタ素子を被覆している絶縁膜中に含有される水(水酸基)や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0088】第5実施形態

図9は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第4実施形態に係る半導体装置と実質的に同様であり、第4実施形態と同様な構成のキャパシタ素子部分を有しているが、下側被覆絶縁膜21が窒化シリコン膜21bの単層構成となっている(第4実施形態のO₃-TEOS膜21cを有していない)ことが異なっている。

【0089】上記の本実施形態に係る半導体装置の製造方法は第4実施形態に係る半導体装置の製造方法と実質的に同様であり、下側被覆絶縁膜21の形成工程において、O₃-TEOS膜の製造工程を省略することにより形成することができる。

50 【0090】上記の構造のキャパシタは、第4実施形態

と同様、キャパシタ素子を被覆している絶縁膜中に含有される水（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0091】第6実施形態

図10は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第5実施形態に係る半導体装置と実質的に同様であり、第5実施形態と同様な構成のキャパシタ素子部分を有しているが、上側被覆絶縁膜23が窒化シリコン膜23bの単層構成となっている（第5実施形態の O_3 -TEOS膜23aを有していない）ことが異なっている。

【0092】上記の本実施形態に係る半導体装置の製造方法は第5実施形態に係る半導体装置の製造方法と実質的に同様であり、下側被覆絶縁膜23の形成工程において、 O_3 -TEOS膜の製造工程を省略することにより形成することができる。

【0093】上記の構造のキャパシタは、第5実施形態と同様、キャパシタ素子を被覆している絶縁膜中に含有される水（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0094】第7実施形態

図11は、本実施形態に係る半導体装置の断面図である。本実施形態に係る半導体装置は、第2実施形態に係る半導体装置と実質的に同様であり、第2実施形態のキャパシタ素子において、第2電極が窒化チタンなどの電極被覆導電層を有しておらず、導電層単層構成となっていることのみを除いて、他は実質的に第2実施形態と同様である。部分を有しているが、上側被覆絶縁膜23が窒化シリコン膜23bの単層構成となっている（第5実施形態の O_3 -TEOS膜23aを有していない）ことが異なっている。

【0095】例えばLOCOS法などにより形成された素子分離絶縁膜により分離された半導体基板10の不図示の活性領域において、トランジスタなどの不図示の半導体素子が形成されている。上記の半導体基板10上には、半導体基板10上のトランジスタなどの半導体素子を被覆して、あるいは、半導体基板10に形成された素子分離絶縁膜上を被覆して、例えばTEOSを原料とするプラズマCVD法などにより形成された酸化シリコンからなる下地絶縁膜20が形成されている。上記の下地絶縁膜20の上層に、例えば常圧CVD法などにより形成された0～4.5重量%のリンを含有する100～500nmの膜厚の酸化シリコン膜（PSG膜）21aと、例えば減圧CVD法などにより形成された0.2～20atom%の水素を含有する50～150nmの膜厚の窒化シリコン膜21bの積層絶縁膜である下側被覆絶縁膜21が形成されている。

【0096】上記の下側被覆絶縁膜21の上層に、例え

ばタングステンやポリシリコンなどからなる不図示の埋め込みプラグなどに接続するようにスパッタリング法などにより形成された窒化チタンや酸化窒化チタンなどからなる電極被覆導電層（バリアメタル層）30aと、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層30bの積層体からなる第1電極30が形成されている。上記の第1電極30の上層に、例えば酸化タンタル（ Ta_2O_5 ）、BST（チタン酸バリウムストロンチウム）あるいはSTO（チタン酸ストロンチウム）などの高誘電率膜、あるいは、SBT（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）などのY1と呼ばれる化合物群（米国特許5,519,234号公報）やPZT（ PbZrO_3 ）などの強誘電体膜からなるキャパシタ絶縁膜22が形成されている。上記のキャパシタ絶縁膜22の上層に、例えばスパッタリング法などにより形成されたプラチナやイリジウムなどの導電性材料からなる電極層からなる第2電極31が形成されている。以上のように、キャパシタ絶縁膜を介して1対の電極が対向する構造を有するキャパシタ素子が形成されている。

【0097】上記のキャパシタ素子を被覆して、例えば触媒CVD法などにより形成された1～20atom%の水素を含有する50～150nmの膜厚の窒化シリコン膜23b、および、例えば常圧CVD法などにより形成されたリンを含有する酸化シリコン膜（PSG膜）23cの積層絶縁膜である上側被覆絶縁膜23が形成されている。

【0098】上側被覆絶縁膜23の上層に、例えば O_3 およびTEOSを原料とするCVD法、あるいは、ICP型プラズマCVD法、ECR型プラズマCVD法あるいはヘリコン波プラズマCVD法などの高密度プラズマCVD法などにより形成された酸化シリコンからなり、CMP処理などにより平坦化された平坦化絶縁膜24が形成されている。さらにその上層に、例えばTEOSを原料とするプラズマCVD法により形成された酸化シリコンからなる上層絶縁膜25が形成されている。上層絶縁膜25の上層である最上層に、例えばプラズマCVD法により形成された窒化シリコン膜（ SiN_x :H膜）からなるパッシベーション膜26が形成されている。

【0099】上記の本実施形態に係る半導体装置の製造方法は第2実施形態に係る半導体装置の製造方法と実質的に同様であり、第2電極となる層を形成する工程において、電極被覆導電層の工程を省略することにより形成することができる。

【0100】上記の構造のキャパシタは、第2実施形態と同様、キャパシタ素子を被覆している絶縁膜中に含有される水（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、キャパシタのデバイス特性を安定化させることができる。

【0101】本発明の半導体装置およびその製造方法は、上記の実施の形態に限定されない。例えば、キャパ

シタの形状としては、プレーナ型、シリンダ型、スタック型、フィン型、トレンチ型など、種々の形状に適用することができる。また、キャパシタとしては、DRAMやVRAMにおけるメモリキャパシタなど、半導体装置においてキャパシタ絶縁膜を介して第1電極と第2電極が対向するキャパシタ適用可能である。また、基板に形成される半導体素子は、トランジスタなど、特に限定されない。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0102】

【発明の効果】本発明によれば、DRAMのメモリキャパシタなど、高誘電率のキャパシタ絶縁膜を有するキャパシタ素子において、キャパシタ素子を被覆している絶縁膜中に含有される水（水酸基）や水素などがキャパシタ絶縁膜まで移動するのを抑制し、安定化したデバイス特性を有するキャパシタを有する半導体装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】図1は第1実施形態に係る半導体装置の断面図である。

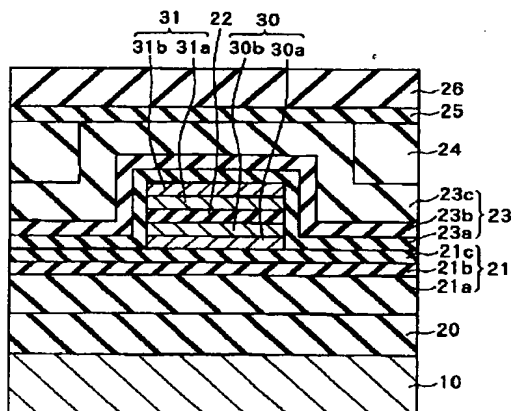
【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はリンを含有する酸化シリコン（PSG膜）膜の形成工程まで、

(b)は O_3 およびTEOSを原料とする酸化シリコン膜の形成工程まで、(c)は第2電極となる層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(d)はキャパシタ素子のパターン加工工程まで、(e)は窒化シリコン膜の形成工程までを示す。

【図4】図4は図3の続きの工程を示し、(f)は平坦化するための絶縁膜の形成工程まで、(g)は平坦化工

【図1】



程までを示す。

【図5】図5は第1実施形態に係る別の構造を有する半導体装置の断面図である。

【図6】図6は第2実施形態に係る半導体装置の断面図である。

【図7】図7は第3実施形態に係る半導体装置の断面図である。

【図8】図8は第4実施形態に係る半導体装置の断面図である。

10 【図9】図9は第5実施形態に係る半導体装置の断面図である。

【図10】図10は第6実施形態に係る半導体装置の断面図である。

【図11】図11は第7実施形態に係る半導体装置の断面図である。

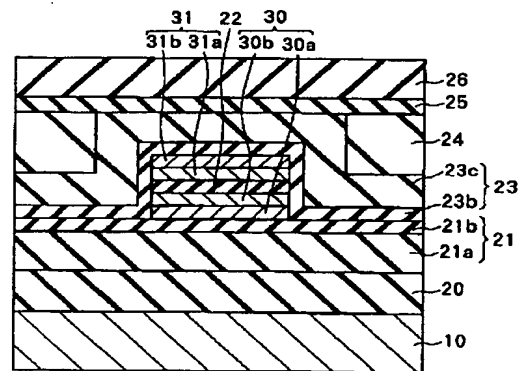
【図12】図12は第1従来例に係る半導体装置の断面図である。

【図13】図13は第2従来例に係る半導体装置の断面図である。

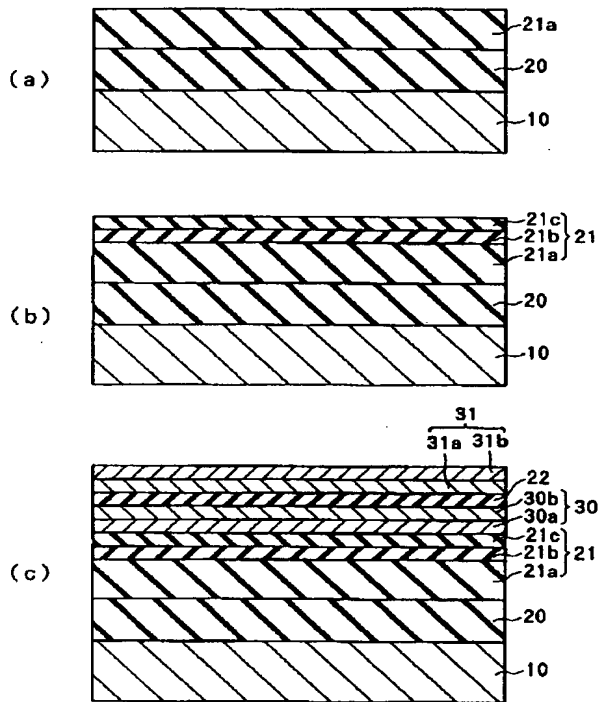
20 【符号の説明】

10…半導体基板、11…拡散層、12…プラグ、20…下地絶縁膜、21…下側被覆絶縁膜、21a…PSG膜、21b…窒化シリコン膜、21c… O_3 -TEOS膜、22…キャパシタ絶縁膜、23…上側被覆絶縁膜、23a… O_3 -TEOS膜、23b…窒化シリコン膜、23c…PSG膜、24…平坦化絶縁膜、25…上層絶縁膜、26…パッシベーション膜、30…第1電極、30a…電極被覆導電層（バリアメタル層）、30b…電極層、31…第2電極、31a…電極層、31b…電極被覆導電層、CH…コンタクトホール。

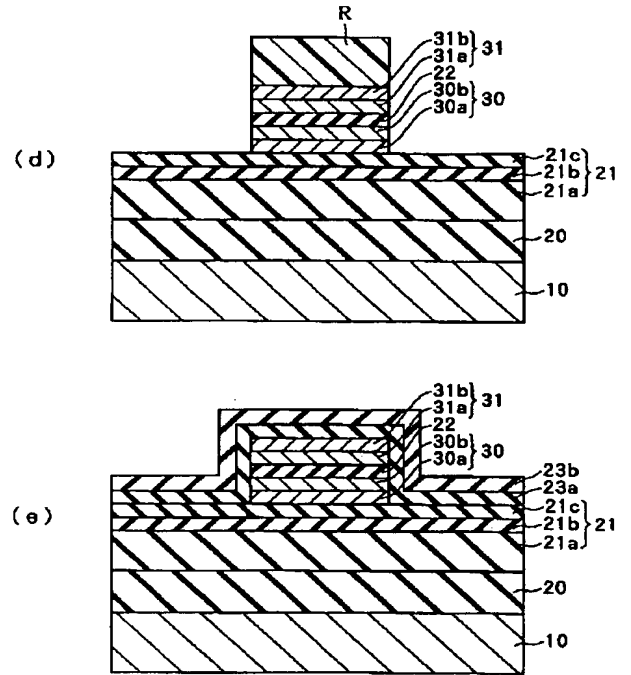
【図6】



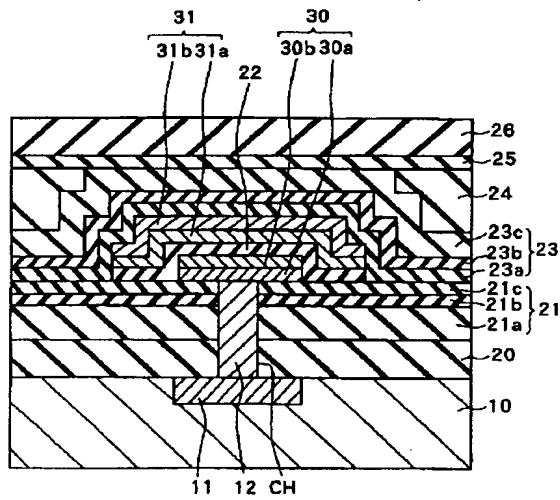
【図 2】



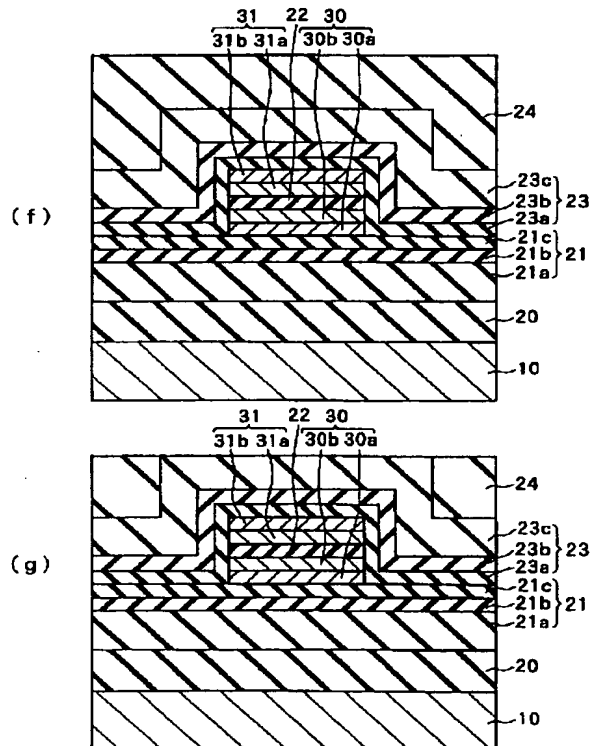
【図 3】



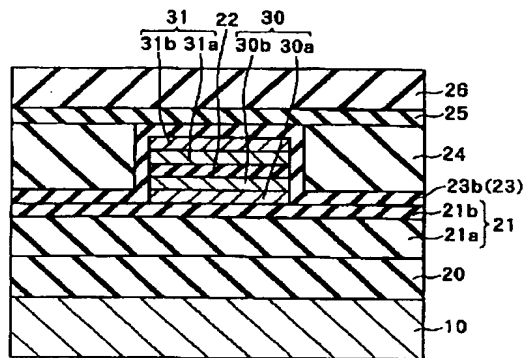
【図 5】



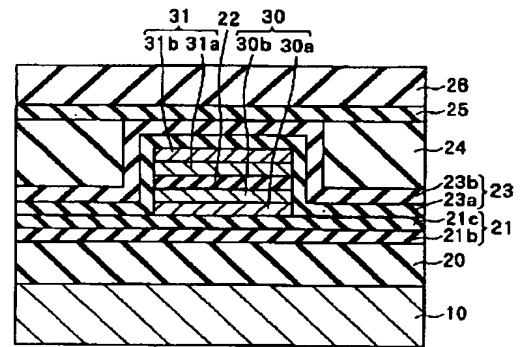
【図 4】



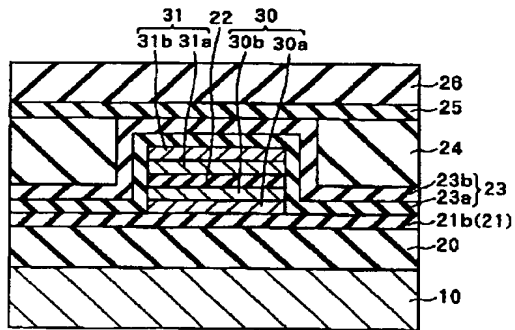
【図 7】



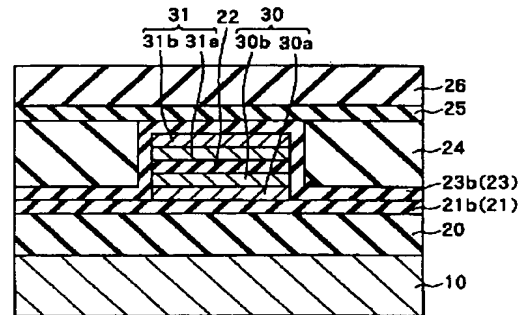
【図 8】



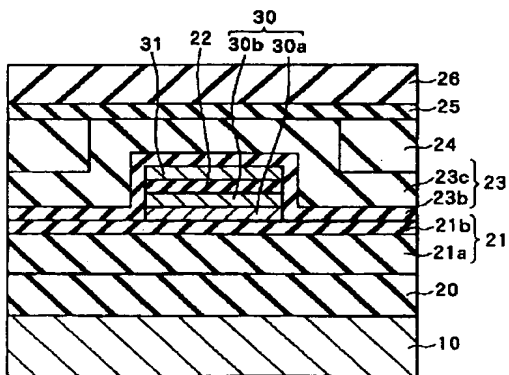
【図 9】



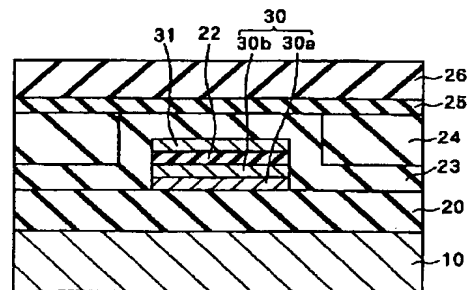
【図 10】



【図 11】



【図 12】



【図 13】

